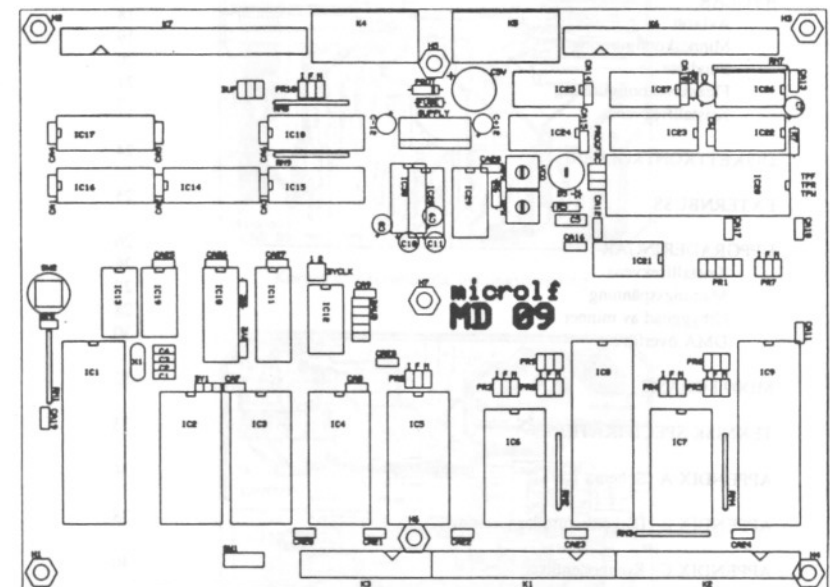


microlf

MD09

HÅRDVARUBESKRIVNING

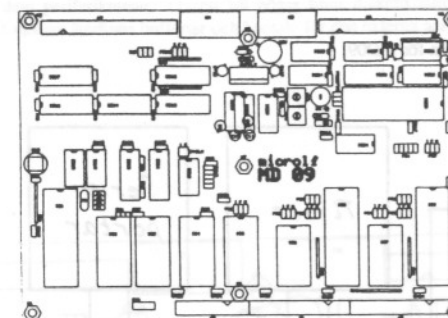


microlf MD09 Hårdvarubeskrivning

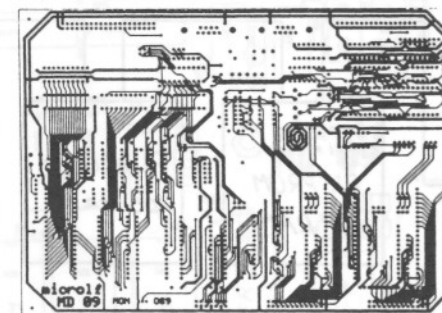
INNEHÅLLSFÖRTECKNING	Sid
ÖVERSIKT	4
KOMPONENTPLACERING	5
MINNESKARTA	6
DISPOSITION AV I/O-AREA	6
ANSLUTNINGAR/KONTAKTER	7
PIA	8
TIMER	9
ACIA	10
Diskettenhet	12
Expansionsbuss	13
Kraftförsörjning	14
FDC/DMA	15
Buffertstyrning	16
BYGLAR	17
Avbrott	18
Minneskonfigurering	19
Baudrate	20
Flexskivekonfigurering	21
Kristallfrekvens	23
DISKETTKONTROLLER	24
EXTERNBUSS	25
UPPGRADERINGAR	26
Kristallfrekvens	26
Matningsspänning	27
Utbyggnad av minnet	28
DMA-överföring	30
MD09 I CHASSI	32
TEKNISK SPECIFIKATION	33
APPENDIX A Schema	34
APPENDIX B Diskettcontroller justering	38
APPENDIX C Komponentlista	40
APPENDIX D Kablage	43

OBS!

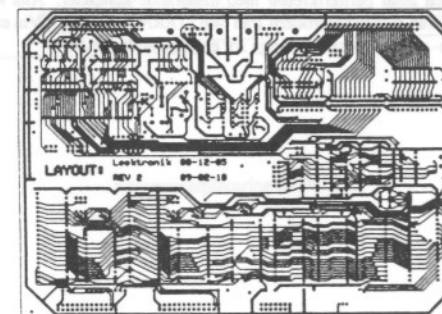
Alla hänvisningar som görs till MD09:s kretskort görs med kretskortet liggande på följande sätt:



Kortets komponentsida, komponentplacering.



Kortets komponentsida, ledningsdragning.

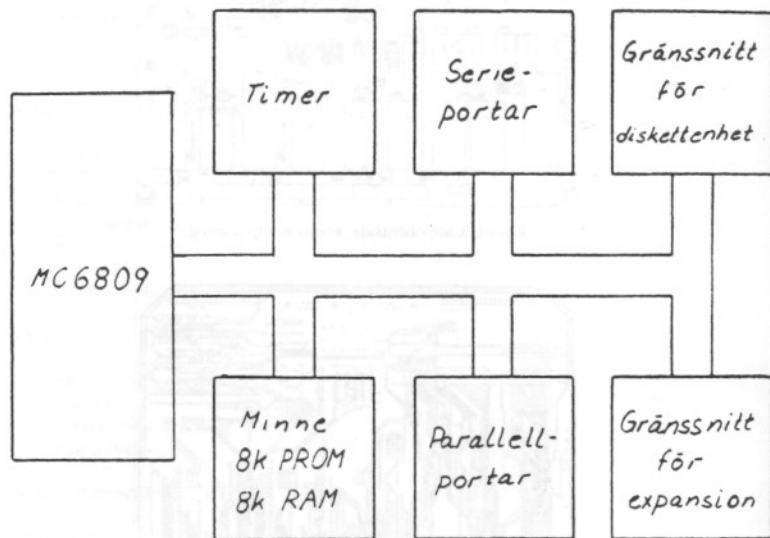


Kortets lödsida.

MD09 ÖVERSIKT

MD09 är en flexibel enkortsdator uppbyggd kring MOTOROLAS mikroprocessor MC6809. I grundversionen ingår 8k byte RAM och 8k byte ROM med monitorprogramvara. Minnet kan enkelt byggas ut till 64k byte.

Nedan visas ett blockdiagram för MD09.

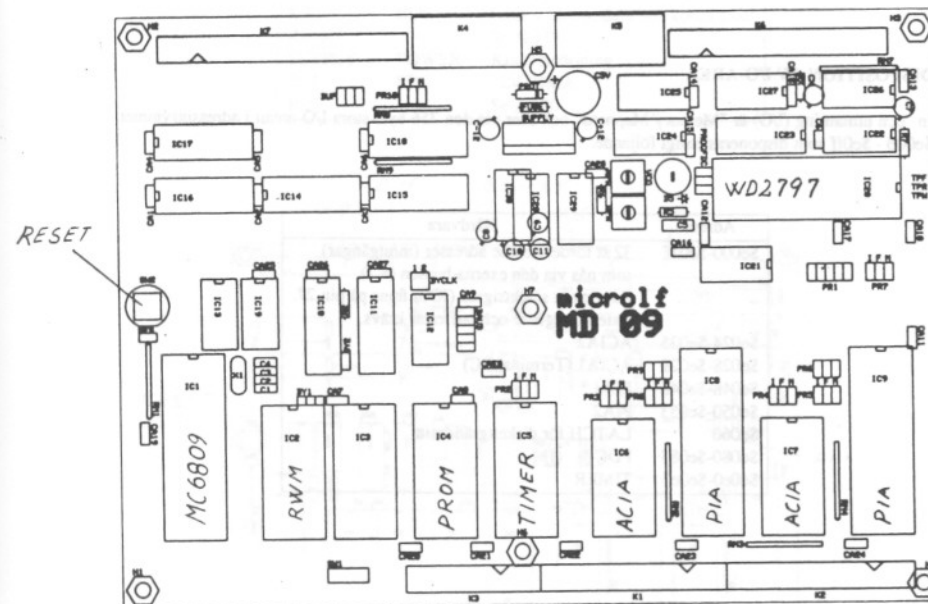


Blockdiagram över MD09

MD09 är bestyckad med ett antal periferikretsar med tillhörande kontakter. Alla kretsarna kommer från MC6800-familjen bortsett från diskettkontrollern från WESTERN DIGITAL. Via en 40-pinnars flatkabelkontakt är kontroll-, adress- och databuss åtkomliga för expansionsändamål.

LAYOUT

Figuren nedan visar komponentplacering för MD09. På nedre halvan återfinns minne, MOTOROLAS processor MC6809 och dess periferikretsar. Överst till höger finns diskettkontrollern WD2797, och dess drivkretsar. Överst till vänster återfinns buffertar och kontakt för den externa adress- och databussen.



Komponentplacering för MD09.

MINNESKARTA.

MD09:an är i grundversionen utrustad med 8k RAM och 8k EPROM. I/O-arean är "memory mapped" i EPROM:s nedre del. Detta ger följande minneskarta.

Adress	
\$0000-\$bfff	Empty
\$c000-\$dfff	RAM
\$e000-\$e0ff	I/O-arean
\$e100-\$ffff	PROM

DISPOSITION AV I/O-AREA

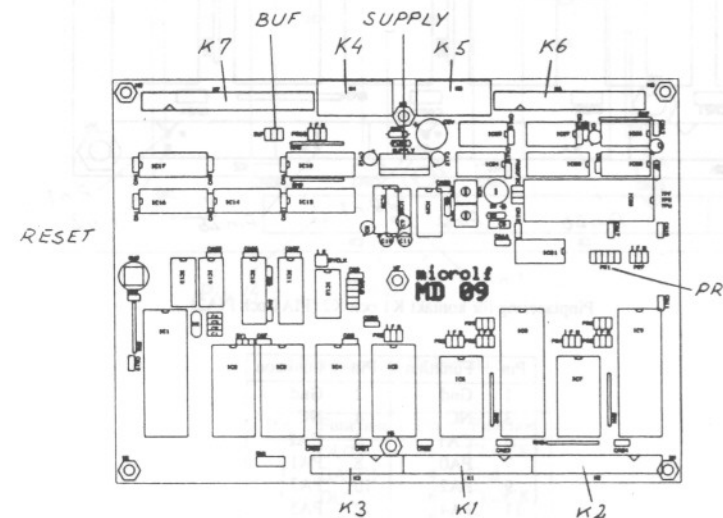
In- och utmatning (I/O) är "Memory Mapped" och sker via den 256 byte stora I/O-arean i adressutrymmet \$e000 - \$e0ff som disponeras enligt följande.

Adress	Hårdvara
\$e000-\$e01f	32 st fördefinierade adresser (in/utgångar) som nås via den externa bussen (K7). En separat selektsignal (IO0) finns på pin 27. Externa register och buffertar krävs.
\$e024-\$e025	ACIA2
\$e028-\$e029	ACIA1 (Terminal/PC)
\$e048-\$e04b	PIA1
\$e050-\$e053	PIA2
\$e060	LATCH för diskettgränssnitt
\$e080-\$e083	FDC
\$e0e0-\$e0e7	TIMER

ANSLUTNINGAR / KONTAKTER.

Tabellen och figuren nedan visar MD09:s olika anslutningar och de följande sidorna beskriver pinplaceringen för varje kontakt.

Kontakt nr		Typ
K1	PIA1	Parallellport 1
K2	PIA2	Parallellport 2
K3	TIMER	TIMER Styrsignaler
K4	ACIA1	Serieport 1 (Terminal/PC)
K5	ACIA2	Serieport 2
K6	FDC	Anslutning för diskettenhet
K7	BUS	Extern adress, data och kontrollbus
RESET		Se NOT1
SUPPLY	POWER	Kraftförsörjning
PR1	FDC	FDC/DMA
BUF		Se sid 30



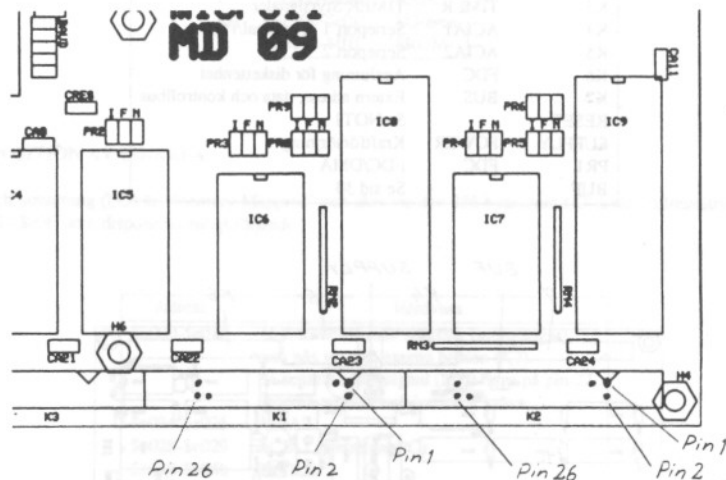
MD09:ans anslutningar.

NOT1

Inuti RESET-knappen finns två stift som är kopplat parallellt med RESET. Dessa används då MD09 monteras i chassi och man önskar att koppla en extern RESET-knapp på lådans panel. Se figur ovan.

Kontakt K1 och K2; PIA1 och PIA2.

Fyra parallella programmerbara in- och utportar är tillgängliga då MD09 är bestyckad med två st PIA-kretsar. Dessa fyra portar kan nås via två 26-pinnars kontakter som är lika konfigurerade. Det finns inga "tranceivers" på dessa anslutningar utan kontaktens K1 och K2:s pinnar är direkt anslutna till respektive PIA (MC6821). Drivkretsar anbefalles där utgångar önskas. Se MOTOROLAS datablad för utförlig information om MC6821.

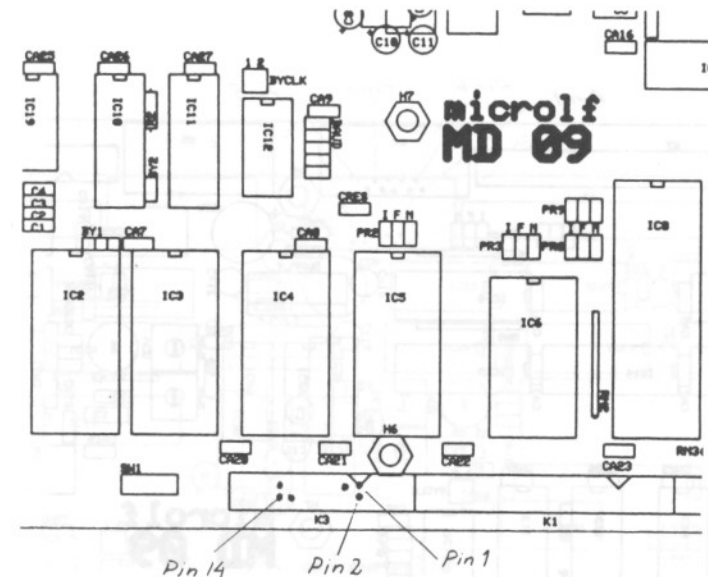


Pinplacering för kontakt K1 och K2 (PIA1 och PIA2)

Pin	Funktion	Pin	Funktion
1	Gnd	2	Gnd
3	NC	4	NC
5	CA1	6	CA2
7	PA0	8	PA1
9	PA2	10	PA3
11	PA4	12	PA5
13	PA6	14	PA7
15	PB0	16	PB1
17	PB2	18	PB3
19	PB4	20	PB5
21	PB6	22	PB7
23	CB1	24	CB2
25	+5V	26	+5V

Kontakt K3; TIMER

Anslutning för att styra TIMER-kretsens GATE- (G0, G1 och G2) och CLOCK-ingångar (C0, C1 och C2). Utgångssignalerna OUT0, 1 och 2 (O0, O1 och O2) finns också på denna kontakt. Alla anslutningar är direkt anslutna till TIMER-kretsen och därför inte buffrade. I normal mod bör GATE1, GATE2 och GATE3 byglas till jord. Se MOTOROLAS datablad om MC6840 för utförlig information.



Pinplacering för kontakt 3.

Pin	Funktion	Pin	Funktion
1	OUT1	2	CLOCK1
3	GATE1	4	Gnd
5	OUT2	6	CLOCK2
7	GATE2	8	Gnd
9	OUT3	10	CLOCK3
11	GATE3	12	Gnd
13	+5V	14	+5V

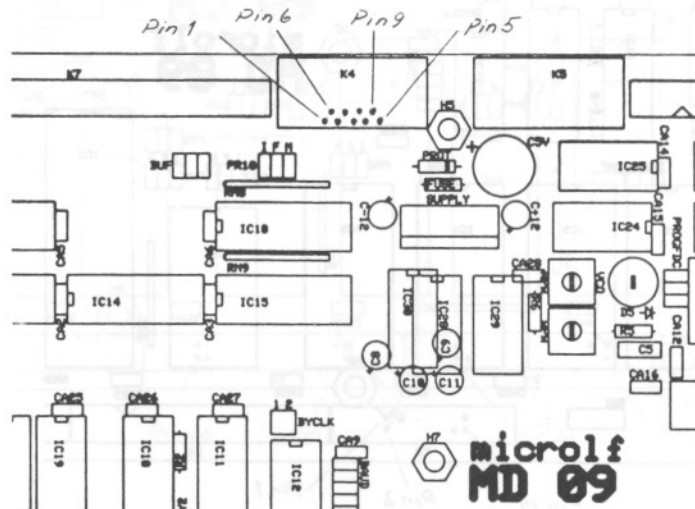
Kontakt K4; ACIA1.

Terminalanslutning eller anslutning för persondator med **microlf:s** programvara.

Kontakttyp niopolig D-sub hona.

Snitt: RS232C.

Se MOTOROLAS datablad om MC6850 för utförlig information.



Pinplacering för kontakt 4 (ACIA1).

Pin	Funktion
2	Receive data
3	Transmitt data
5	Gnd

Se APPENDIX för kablage.

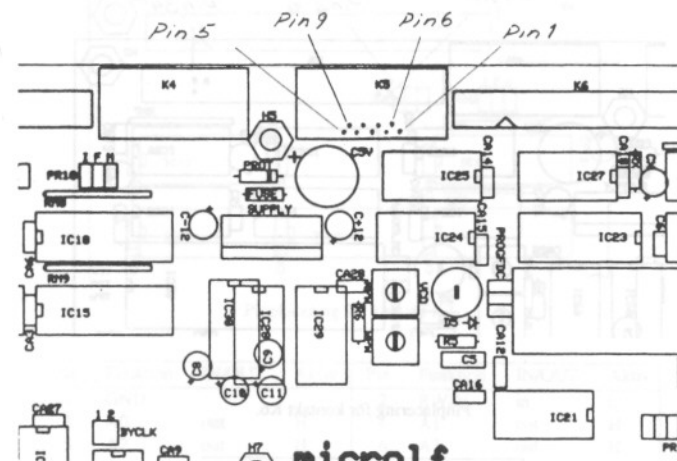
Kontakt K5; ACIA2.

Seriell anslutning för t ex värddator eller seriell printer.

Kontakttyp niopolig D-sub hane.

Snitt: RS232C.

Se MOTOROLAS datablad om MC6850 för utförlig information.



Pinplacering för kontakt 5 (ACIA2).

Pin	Funktion
1	DCD
2	Receive data
3	Transmitt data
5	Gnd
7	RTS
8	CTS

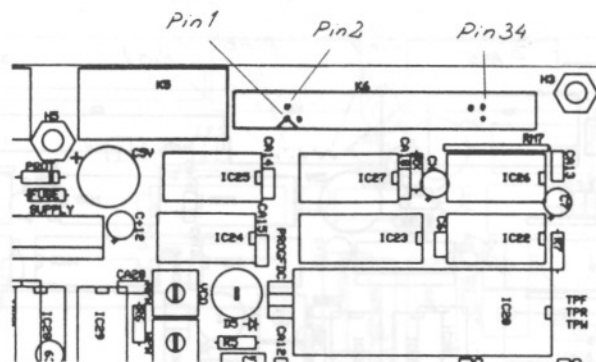
Kontakt K6; Snitt för diskettenhet

Anslutning för 3 eller 5 tums diskettenhet

Kontakttyp: 34-polig flatkabeldon.

Snitt: Standard diskettenhet

Se tillverkarens datablad för utförlig information.



Pinplacering för kontakt K6.

Pin	Funktion	Pin	Funktion
1	Gnd	2	Head load
3	Gnd	4	NC
5	Gnd	6	Drive sel 4
7	Gnd	8	Index
9	Gnd	10	Drive sel 1
11	Gnd	12	Drive sel 2
13	Gnd	14	Drive sel 3
15	Gnd	16	Motor ON
17	Gnd	18	Dir. sel.
19	Gnd	20	Step
21	Gnd	22	Write data
23	Gnd	24	Write gate
25	Gnd	26	Track 0
27	Gnd	28	Write protect
29	Gnd	30	Read data
31	Gnd	32	Side sel
33	Gnd	34	Ready

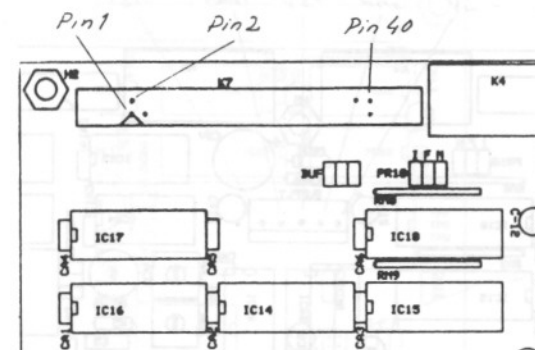
Kontakt K7; Buss.

Anslutning för extern kontroll- adress- och databuss.

Kontakttyp: 40-pinnars flatkabeldon.

Snitt: Specad nedan.

Alla signaler har TTL-nivå på den externa bussen.



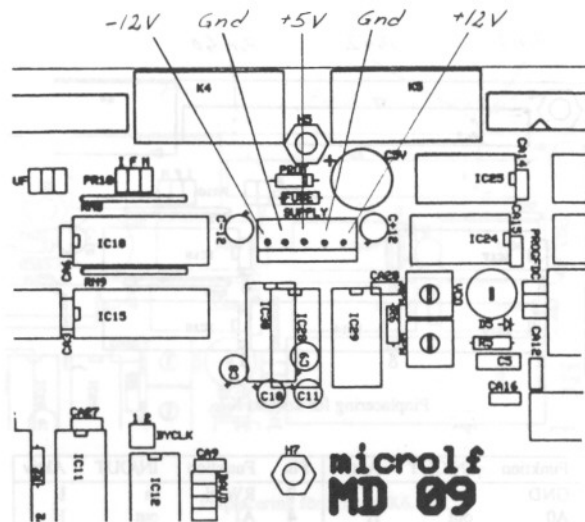
Pinplacering för kontakt K7.

Pin	Funktion	IN/OUT	Aktiv	Pin	Funktion	IN/OUT	Aktiv
1	GND			2	RWIN	in	L
3	A0	out	H	4	A1	out	H
5	A2	out	H	6	A3	out	H
7	A4	out	H	8	A5	out	H
9	A6	out	H	10	A7	out	H
11	A8	out	H	12	A9	out	H
13	A10	out	H	14	A11	out	H
15	A12	out	H	16	A13	out	H
17	A14	out	H	18	A15	out	H
19	D0	in/out	H	20	D1	in/out	H
21	D2	in/out	H	22	D3	in/out	H
23	D4	in/out	H	24	D5	in/out	H
25	D6	in/out	H	26	D7	in/out	H
27	IO0	out	L	28	BA	out	H
29	BS	out	H	30	RWE	out	L
31	RESET	out	L	32	HALT	in	L
33	FIRQ	in	L	34	IRQ	in	L
35	NMI	in	L	36	BREQ	in	L
37	EIO	in	L	38	Q	out	H
39	E	out	H	40	+5V		

Det finns även en extra anslutning markerad BUF (signalerna DIRIN, DMAVMA och 3SIN) som möjliggör extern styrning av riktning och "tristate-nivå" på bufferterna. De är kopplade för normal drift. Se sid 16.

Kontakt SUPPLY

Denna anslutning är för kraftförsörjning. Pinne 1 är närmast diskettkontrollern. Se figur nedan.

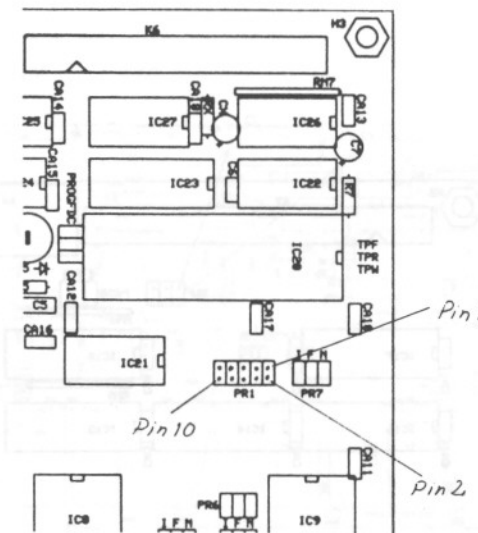


Pinplacering för SUPPLY

Pin	Spänning	Ström
1	+12V	max 50mA
2	Gnd	
3	+5V	max 1,3A
4	Gnd	
5	-12V	max 50mA

Kontakt PR1, FDC/DMA anslutning

Denna kontakt är för framtida bruk då en extern DMA-kontroller skall användas. För att använda DMA-överföring mellan diskettenheten och minnet måste en uppgradering enligt sid 29 utföras. Figuren och tabellen nedan visar layout och pinplacering av PR1.

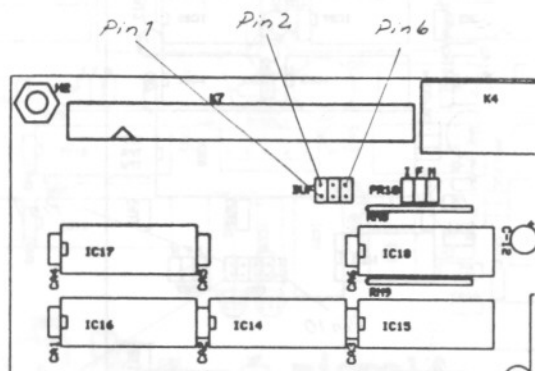


Kontakt PR1

Pin	Signal	Pin	Signal	Default
1	WE	2	RWE	Default IN
3	CSFDC	4	IO5	Default IN
5	DRQ	6	Not used	
7	A0	8	A0	Default IN
9	A1	10	A1	Default IN

Kontakt BUF, Buffertstyrning

Denna anslutning används för att styra bufferterna på den externa adress- och databussen (K7). Riktning på adressbussen kan styras med DIRINB (pin 6) när processorn har aktiverat BA-BS=1. Bufferternas "tristate-nivå" kan alltid styras med 3SIN (pin 1) efter det att bygeln 3SIN är kapad (se sid 31). Även en extern R/W-signal RWINB (pin 3) kan anslutas. Slutligen kan en externt genererad DMAVMA-signal anslutas till pinne 5.

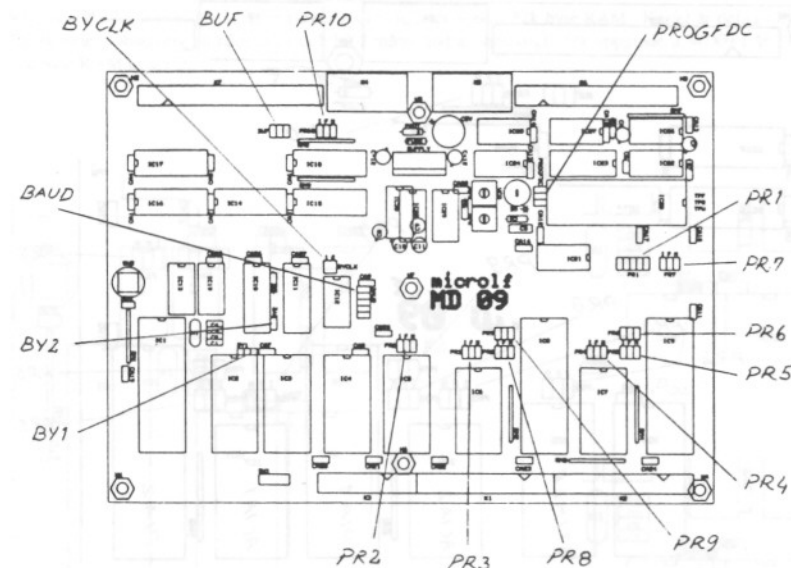


Pinplacering för kontakt BUF

Pin	Funktion	Aktiv	
1	3SIN	Hög	"Tristate" Adress- och databuss
2	Gnd		
3	RWINB	Låg	Skrivpuls
4	Not used		
5	DMAVMAB	Låg	CS-signaler aktiveras ej på MD09
6	DIRINB	Låg	Databussbuffert riktad in mot MD09

BYGLAR

MD09 kan byglas för olika avbrott, olika minneskonfigurationer, för 1 eller 2 MHz klockfrekvens, olika baudrates osv. De flesta byglarna är i grundversionen fast anslutna i ledningsdragningen på kortets lödsida vilket utgör MD09:s konfiguration "by default". Tabellen och figuren nedan visar MD09:s byglar. De beskrivs utförligt på de följande sidorna.



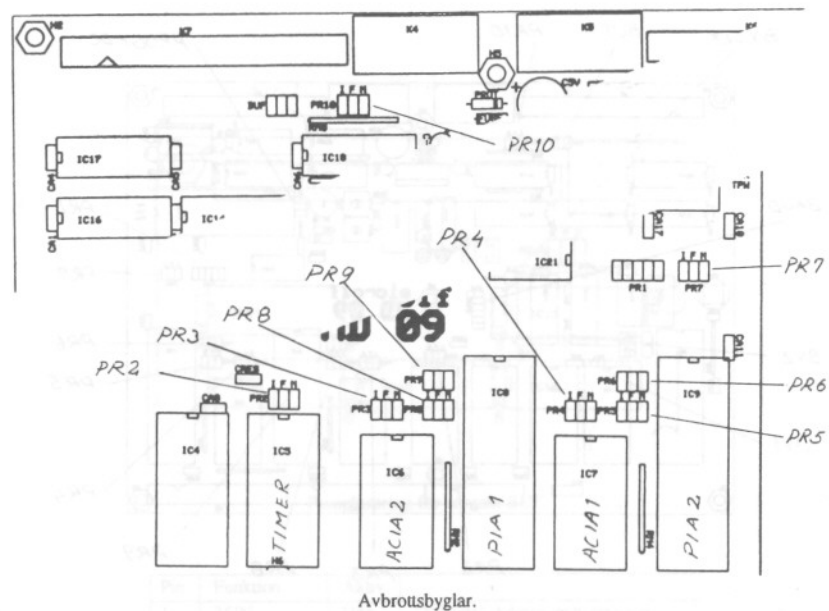
MD09:ans byglar

Bygel	Typ	Grundversion
PR2-PR10	Avbrott	
BY1	Minneskonfigurering	Default
BY2	Minneskonfigurering	Default
BYCLK	Klockfrekvens	Default
BAUD	Baudrate	Default
PROGDC	Diskettkonfigurering	Default
PR1	Diskettkonfigurering	Default
BUF	Externbuss	Default

PR2-PR7; Avbrottsbyglar.

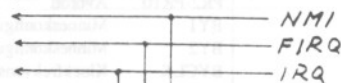
Default: Inget avbrott.

Byglar för avbrott. Här kan avbrottsignalen från en periferikrets kopplas vidare till processorn på önskad avbrottsnivå. Interrupt (IRQ), Fast Interrupt (FIRQ) och Non Maskable Interrupt (NMI) kan kopplas enligt figuren nedan. Observera att PR2 till PR9 är lika konfigurerade. PR10 är buffrade avbrottsingångar till processorn och kan därför användas i testsammanhang. Här kan varje enskild avbrottsnivå jordas.



Bygel	Krets
PR2	TIMER
PR3	ACIA2
PR4	ACIA1
PR5	PIA2 Port B
PR6	PIA2 Port A
PR7	FDC
PR8	PIA1 Port B
PR9	PIA1 Port A
PR10	Buffrade avbrottsingångar

Till processorn



Till periferikretsens avbrottspinne

BY1 och BY2; Minneskonfigurering.

Default: 8k byte RAM.

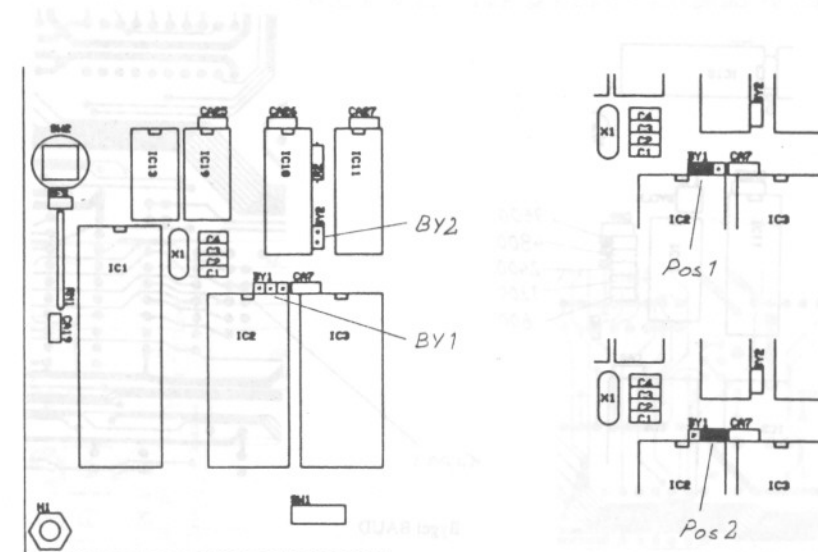
BY1 Pos2 = 8k byte (Default)

BY1 Pos1 = 32k byte

BY2 IN = 8k byte (Default)

BY2 OUT = 32k byte

BY1 och BY2 används för att konfigurera sockel IC2 för 8 eller 32k byte RAM. Kortet är default byglat för 8k byte. Observera att både BY1 och BY2 måste ändras samtidigt. För uppgradera MD09 från 8k till 32k byte RAM se sid 26.

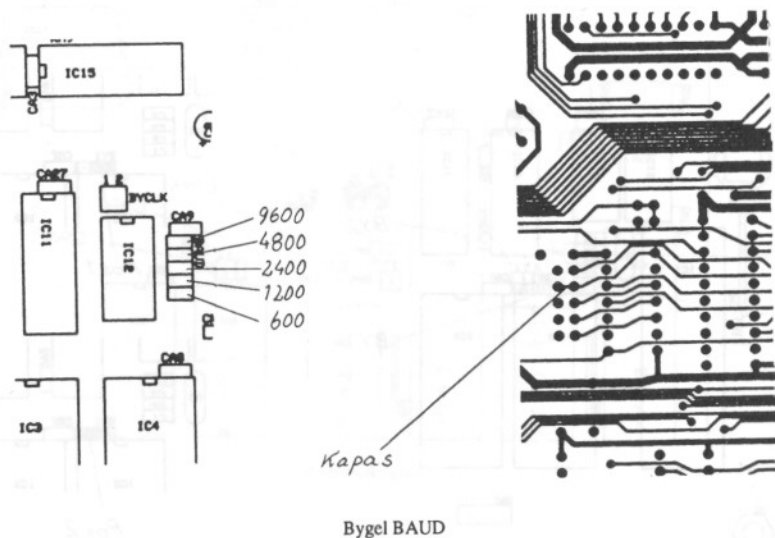


Bygel BY1 och BY2

BAUD

Default: 4800 BAUD.

MD09 kan byglas för ett antal olika baudrates för den seriella kommunikationen. Observera att båda serieportarna alltid har samma baudrate. Kapa ledningsmönstret på kortets lödsida och installera bygel på önskad plats för att ändra baudrate. Se figur nedan. Observera att baudrate-hastigheterna fördubblas när MD09 är bestyckad med en 8 MHz kristall.

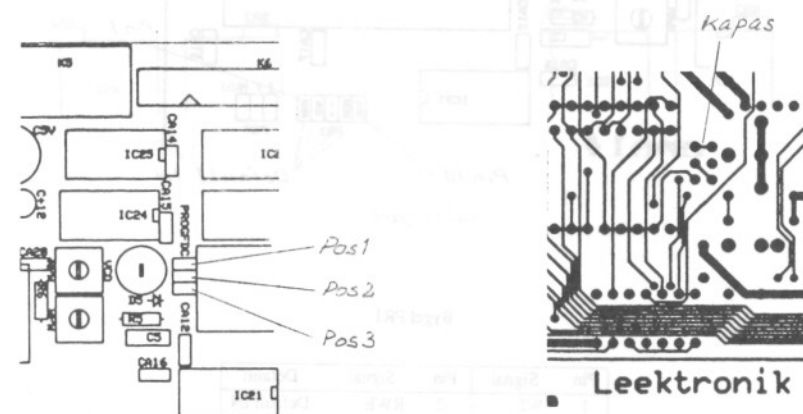


PROGFDC, Flexskivekonfigurering.

Default: Programmerbar packningstäthet via LATCH.

PROGFDC Pos1	IN	DDENS = LATCH; Pos 2 must be out (Default)
PROGFDC Pos1	OUT	DDENS = Pos2
PROGFDC Pos2	IN	DDENS = DOUBBLE DENSITY; Pos1 must be out
PROGFDC Pos2	OUT	DDENS = SINGLE DENSITY; Pos1 must be out (Default)
PROGFDC Pos3	IN	TEST MODE
PROGFDC Pos3	OUT	NORMAL MODE (Default)

Med hjälp av byglarna PROGFDC kan diskettkontrollern byglas för enkel, dubbel eller programmerbar (Default) packningstäthet. När programmerbar mod (Pos1 IN) via LATCH (Se060 bit4) önskas måste Pos2 vara ute. När MD09 skall byglas för endast enkel eller dubbel packningstäthet kapas ledningsmönstret skärs edge på lödsidan bort och Pos2 byglas för önskad funktion. Se figur nedan. Pos3 används när justeringar av FDC:n skall utföras.

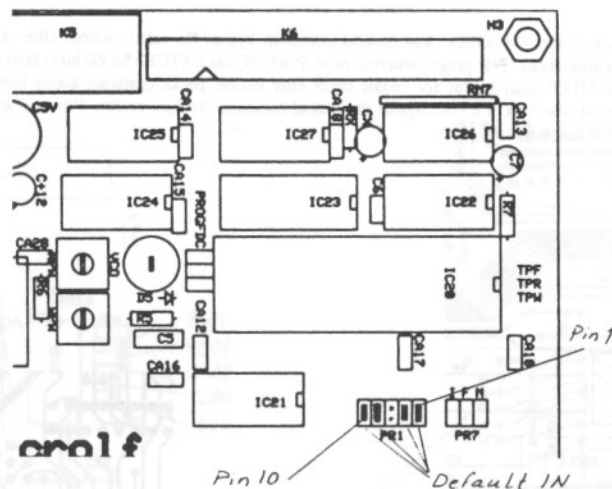


Bygel PROGFDC

PR1, Diskettkonfigurerings.

Default: Ej DMA-överföring.

Byglar (anslutning) för diskettkontrollern. Dessa byglar är för framtida bruk då en extern DMA-kontroller skall användas. Då MD09 är upgraderad för DMA-överföring mellan diskettenhet och minnet, och DMA enheten kopplas bort måste kortet byglas enligt default nedan. Se figur och tabellen nedan.



Bygel PR1

Pin	Signal	Pin	Signal	Default
1	WE	2	RWE	Default IN
3	CSFDC	4	IO5	Default IN
5	DRQ	6	Not used	
7	A0	8	A0	Default IN
9	A1	10	A1	Default IN

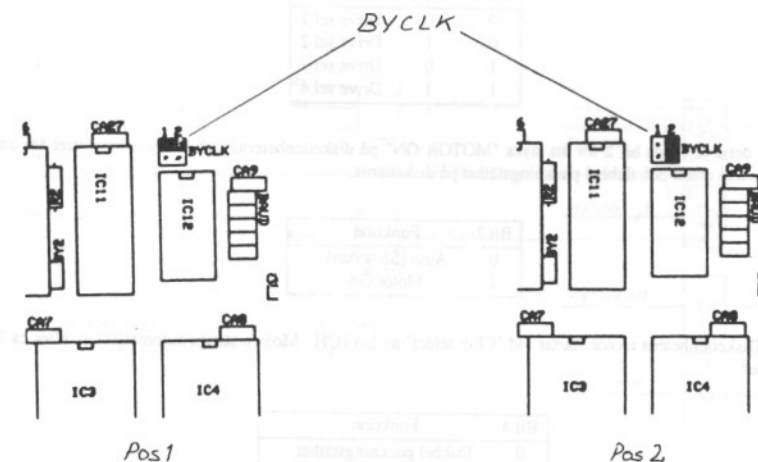
BYCLK

Default: 1 MHz klockfrekvens.

BYCKL Pos1 = 1 MHz (Default)

BYCLK Pos2 = 2MHz

När MD09 skall bestyckas med en 8 MHz kristall måste denna bygel ändras. Detta för att diskettkontrollern kräver en klockfrekvens på 1 MHz. Se sid 25 för uppgärdering från 1 till 2 MHz.



Bygel BYCLK

UPPGRADERINGAR

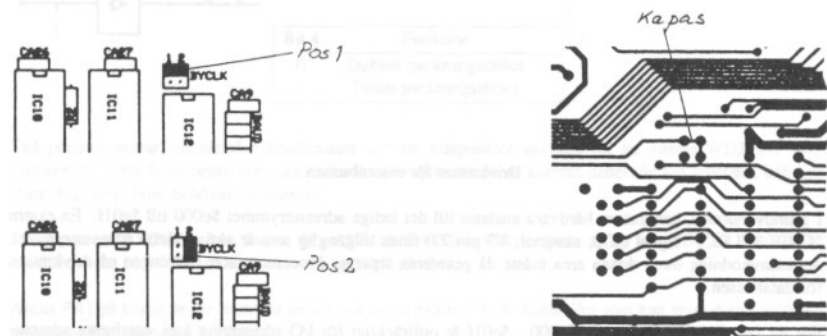
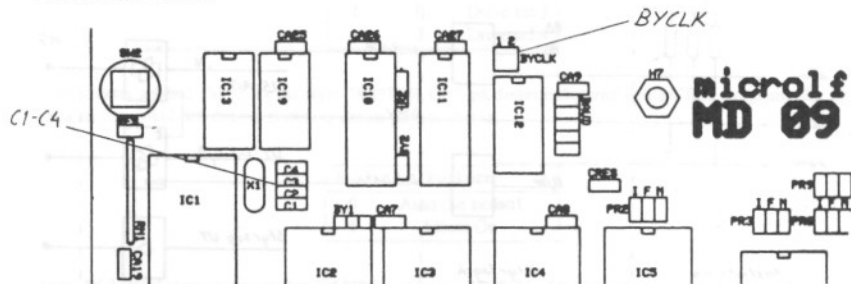
Uppgradering till 2 MHz klockfrekvens

För att uppgadera från 1MHz till 2MHz skall följande komponenter bytas. Alla kretsar ur 68-serien ersätts med kretsar ur 68B-serien, kristallen skall bytas från 4 till 8 MHz och nya kondensatorer C1, C2, C3 och C4 skall användas. Kondensatorerna skall då ha ett värde av 18 pF. Observera att baudraten efter uppgadering dubblas.

Utöver detta skall bygel BYCLK ändras för att diskettkontrollern skall få rätt klockfrekvens. Kapa ledningsmönstret på kortets lödsida och installera bygel enligt figur och tabell nedan.

BYCLK Pos1 = 1 MHz (Default)

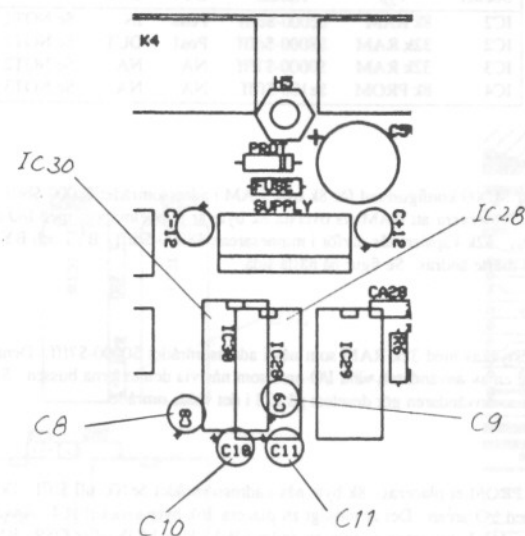
BYCLK Pos2 = 2MHz



Bygel BYCLK

Användning av 5V matningsspänning

MD09 kräver i grundversionen +5V och +/-12V men kan även drivas med endast +5V matningsspänning. På MD09 är det bara drivkretsen (IC28, 1488) för den seriella kommunikationen som kräver +/-12V. Denna krets IC28 kan ersättas med IC30, där IC30 är MAXIM:s krets MAX234. Denna krets kräver endast +5V för att driva fyra st RS232 snitt. Utöver detta krävs fyra kondensatorer, C8, C9, C10 och C11 där C9 och C10 har värdet 4,7µF 16V och C8 och C11 har värdet 10µF 16V.



MD09 med 5V spänningsmatning.

Utbyggnad av minnet

MD09:an är i grundversionen utrustad med 8k RAM och 8k EPROM. I/O-arean är "memory mapped" i EPROM:s nedre del. Detta ger följande minneskarta.

Adress	
\$0000-\$bfff	Empty
\$c000-\$dfff	RAM
\$e000-\$e0ff	I/O-arean
\$e100-\$ffff	PROM

MD09 kan bestyckas med olika mycket minne, upp till 64k byte. Tre minnessocklar finns tillgängliga IC2, IC3 och IC4. Följande konfigurationsmöjligheter finns.

Sockel	Typ	Adress	BY1	BY2	
IC2	8k RAM	\$c000-\$dfff	Pos2	IN	Se NOT1
IC2	32k RAM	\$8000-\$dfff	Pos1	OUT	Se NOT1
IC3	32k RAM	\$0000-\$7fff	NA	NA	Se NOT2
IC4	8k PROM	\$e100-\$ffff	NA	NA	Se NOT3

NOT1

I grundversionen är MD09 konfigurerad för 8k byte RAM i adressområdet \$c000-\$bfff. 32k bytes kan placeras i sockel IC2. Observera att RAM:ets översta 8k byte är dubbelmappat med I/O och PROM och kan därför inte användas. 32k-kapslen nås därför i minnesarean \$8000-\$dfff. BY1 och BY2 är fast anslutna på kortets lödsida och måste ändras. Se figur på nästa sida.

NOT2

Sockel IC3 kan bestyckas med 32k RAM som nås i adressområdet \$0000-\$7fff. Denna minnesarean kan dubbelmappas med en av användaren vald I/O-arean som nås via den externa bussen. Signalen EIO (pin 37 K7) som genereras av användaren gör deselect på IC3 i det valda området.

NOT3

I sockel IC4 skall PROM:et placeras. 8k byte nås i adressområdet \$e100 till \$ffff. De första 256 bytes är dubbelmappade med I/O-arean. Det är möjligt att placera 16k byte i sockel IC4. Användaren kan nå övre eller nedre halvan i 16k bytes-arean genom att ändra SW1 i läge MON eller OS9. Båda halvorna ligger i adressområdet \$e100 till \$ffff och man kan endast använda en halva åt gången.

BY1; Minneskonfigurering.

BY1 Pos2 = 8k byte (Default)

BY1 Pos1 = 32k byte

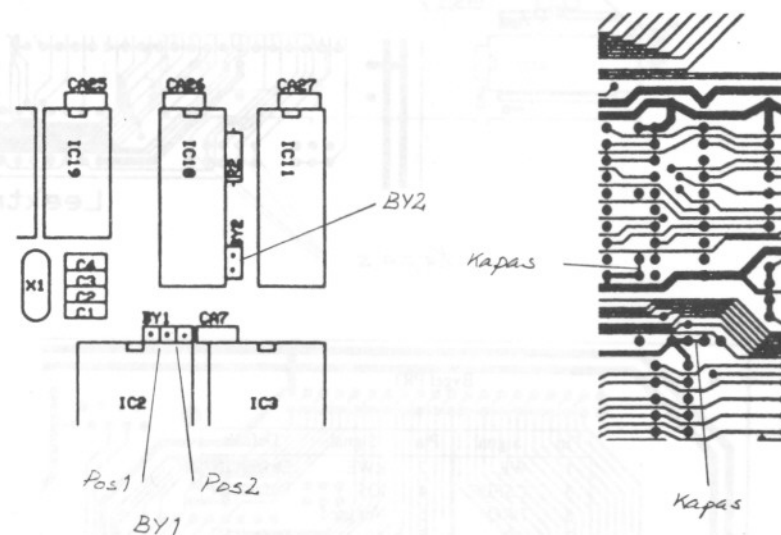
BY1 används för att konfigurera sockel IC2 för 8 eller 32k byte RAM. Kortet är default byglat för 8k byte. För att konfigurera för 32k byte kapas ledningsmönstret på kortets lödsida och ny bygel installeras enligt figur nedan. Observera att BY2 också måste ändras.

BY2; Minneskonfigurering.

BY2 IN = 8k byte (Default)

BY2 OUT = 32k byte

BY2 används för att konfigurera sockel IC2 för 8 eller 32k byte RAM. Kortet är default byglat för 8k byte. För att konfigurera för 32k byte kapas ledningsmönstret på kortets lödsida enligt figur nedan. Observera att BY1 också måste ändras.



Bygel BY1 och BY2

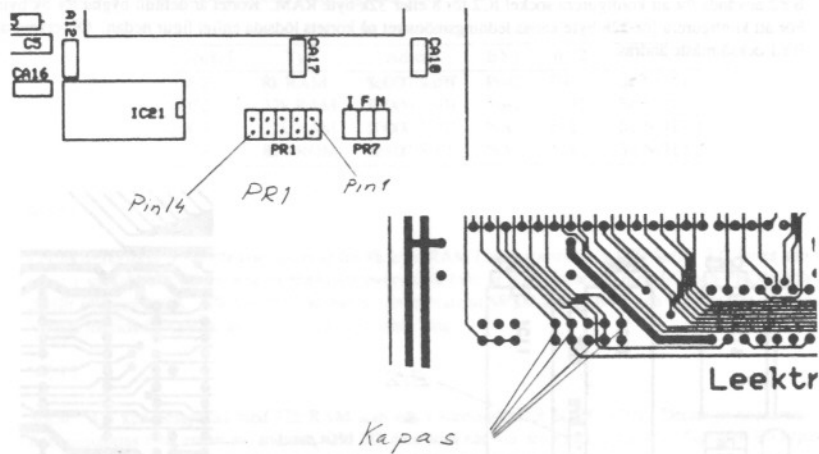
Uppgradering till DMA-örföring mellan diskettenheten och minnet.

För att använda en extern DMA-kontroller måste kontakt PR1 upgraderas och anslutas till den externa DMA-kontrollern. Vidare måste även BUF anslutas och bygel 3SIN ändras.

PR1

Default Ej DMA

Denna kontakt är för framtida bruk då en extern DMA-kontroller skall anslutas. För att konfigurera MD09 för DMA-örföring mellan minnet och diskettenheten kapas ledningsdragningen på kortets lödsida mellan pin 1-2, pin 3-4, pin 7-8 och pin 9-10. Se figur och tabell nedan. Anslut sedan kablage mellan PR1 och den externa DMA-kontrollern.



Bygel PR1

Pin	Signal	Pin	Signal	Default
1	WE	2	RWE	Default IN
3	CSFDC	4	IO5	Default IN
5	DRQ	6	Not used	
7	A0	8	A0	Default IN
9	A1	10	A1	Default IN

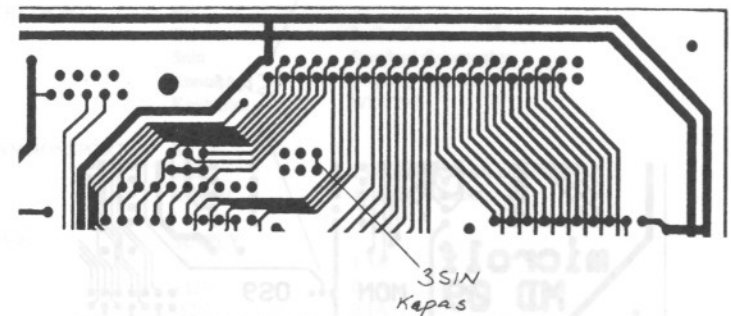
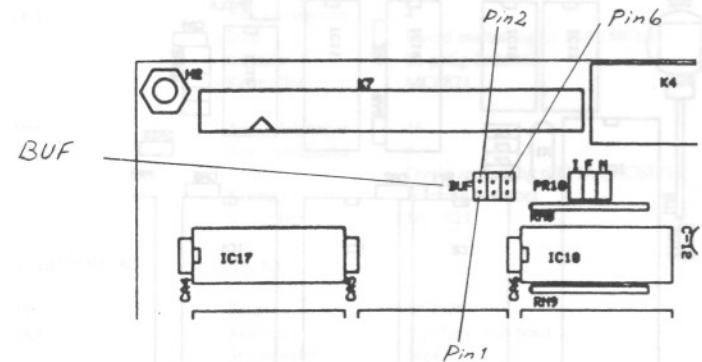
3SIN

Default IN (Ej "tristate").

Busbufferterna IC14, 16 och 17 är utrustade med sk "tristate-utgångar". Dessa kan styras med en extern signal 3SIN (kontakt BUF, pin 1). För att styra bufferterna måste 3SIN kapas på kortets lödsida. Se figur nedan.

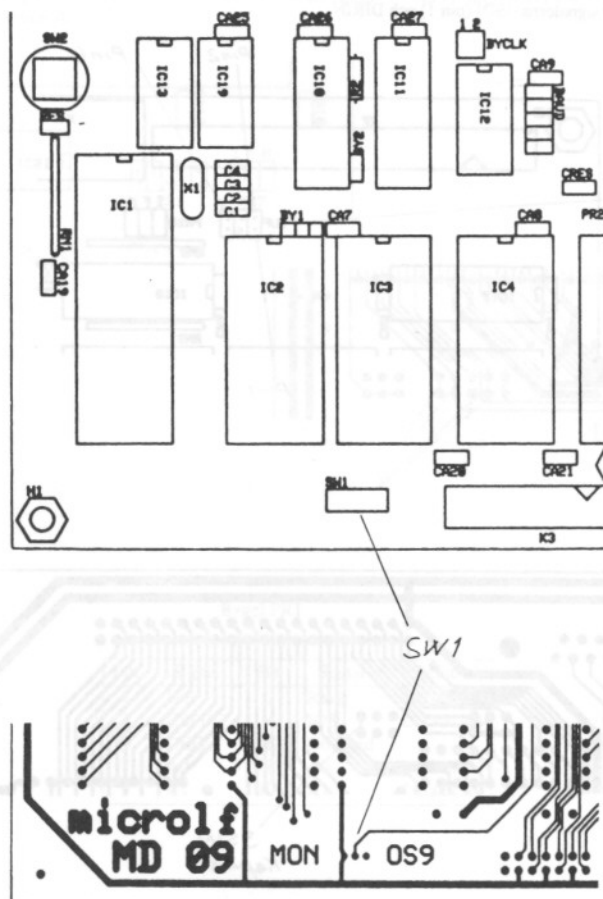
BUF

Anslutning för signalerna 3SIN (pin 1) och DIRIN



MD09 I CHASSI

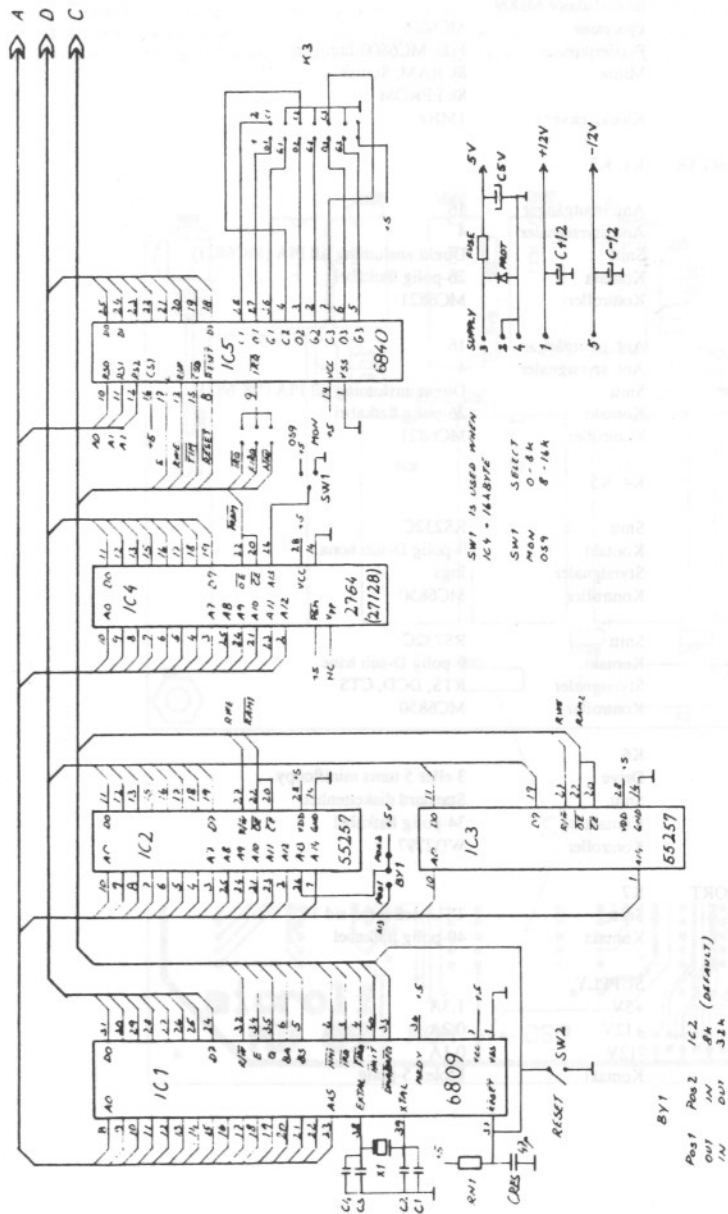
MD09 kan enkelt byggas in i chassi. Extra anslutningar för RESET finns vid RESET-knappens underkant. Här kopplas lämpligen den externa RESET-knappen in. Om 16 kPROM i sockel IC4 har installerats måste även SW1 avlägsnas från kortet och kopplas fram till chassits panel. SW1 har funktionen "till-till".



TEKNISK SPECIFIKATION MD09

SYSTEM	Enkorts dator MD09	
	Processor	MC6809
	Periferikretsar	Från MC6800-familjen
	Minne	8k RAM; Statisk 8k EPROM
	Klockfrekvens	1MHz
PARALLELLPORTAR	K1, K2	
	Port1 (K1)	Ant. in/utgångar 16 Ant. styrsignaler 4 Snitt Direkt anslutning till PIA (MC6821) Kontakt 26-polig flatkabel Kontroller MC6821
	Port2 (K2)	Ant. in/utgångar 16 Ant. styrsignaler 4 Snitt Direkt anslutning till PIA (MC6821) Kontakt 26-polig flatkabel Kontroller MC6821
SERIEPORTAR	K4, K5	
	Port1 (K4)	Snitt RS232C Kontakt 9-polig D-sub hona. Styrsignaler Inga Kontroller MC6850
	Port2 (K5)	Snitt RS232C Kontakt 9-polig D-sub hane. Styrsignaler RTS, DCD, CTS Kontroller MC6850
DISKETTPORT	K6	
	Drive Snitt Kontakt Kontroller	3 eller 5 turns minifloppy Standard diskettenhet 34-polig flatkabel WD2797
EXPANSIONSPORT	K7	
	Snitt Kontakt	TTL; definerad sid 13 40-polig flatkabel
POWER	SUPPLY	
	+5V +12V -12V Kontakt	1,3A 0,2A 0,1A Molex 5-polig

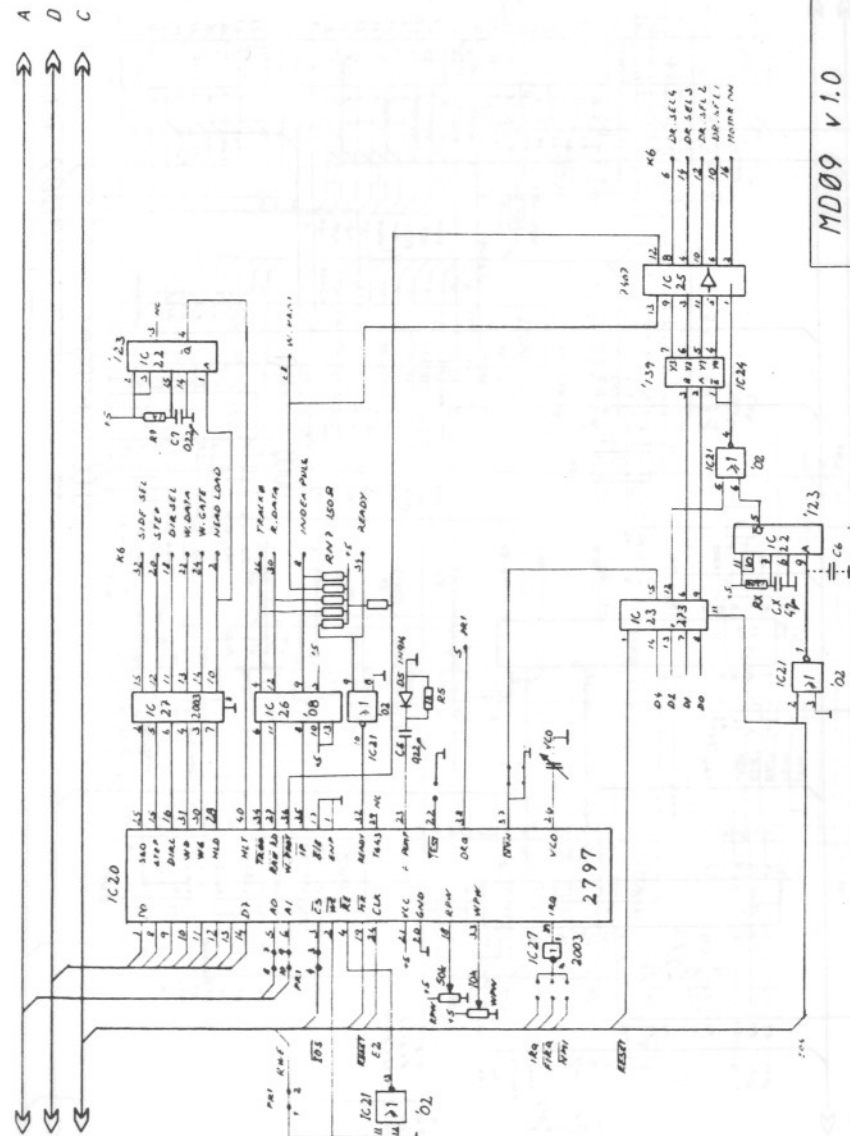
APPENDIX A



Teknisk specifikation microlf

MD09 v1.0	Rev 2
microlf	8903 2.5
	Sn
	1:4

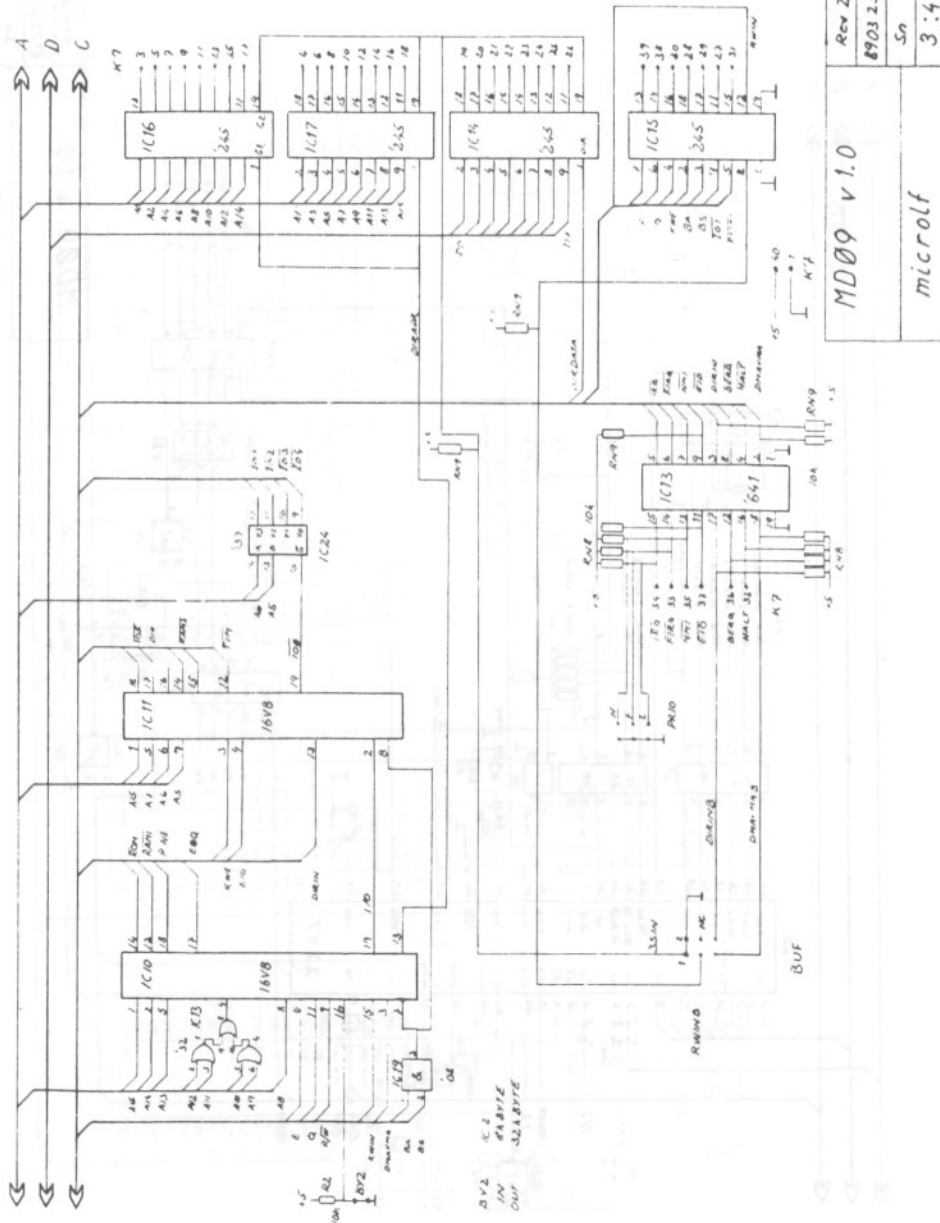
APPENDIX A



Teknisk specifikation microlf

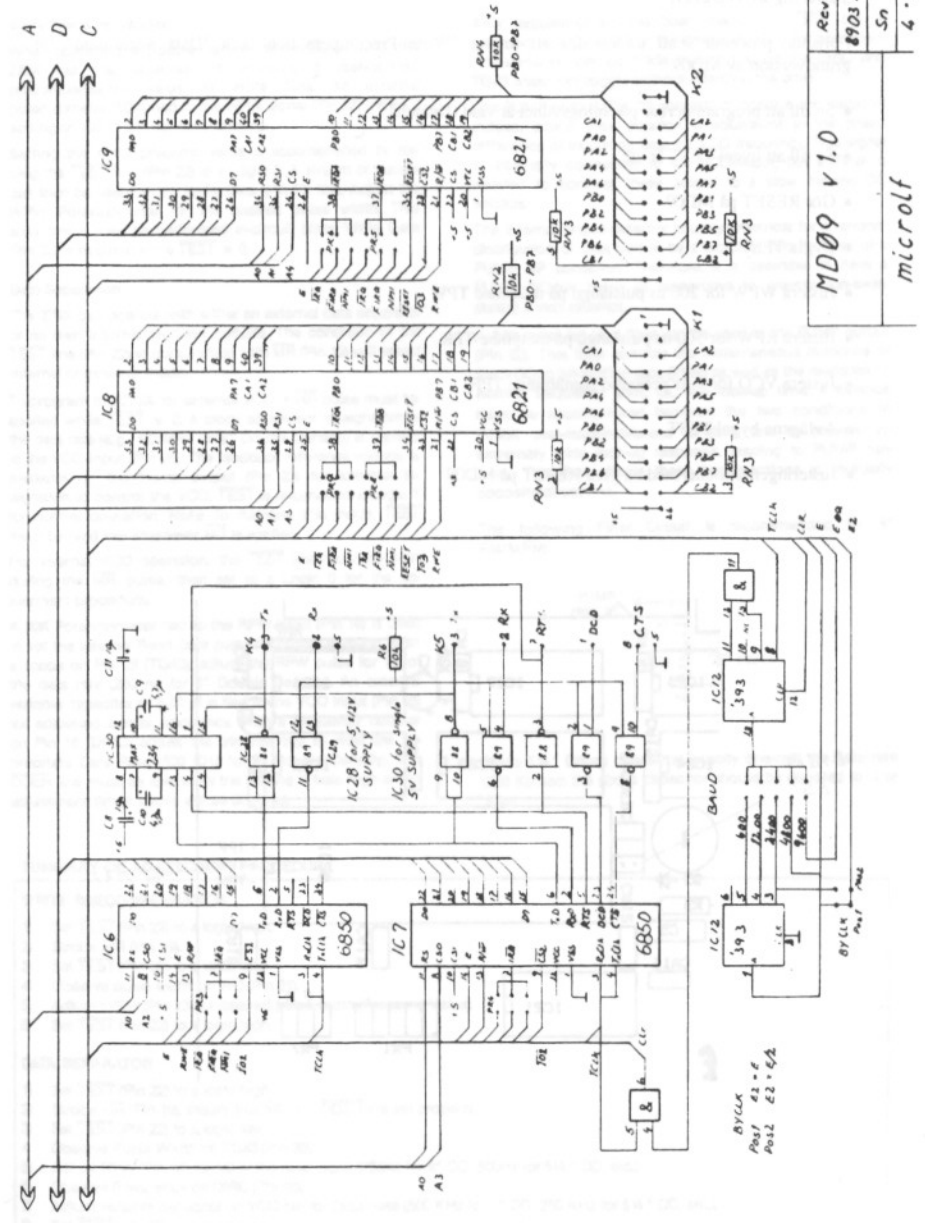
MD09 v1.0	Rev 2
microlf	8903 2.5
	Sn
	2:4

APPENDIX A



Teknisk specifikation micro

APPENDIX A



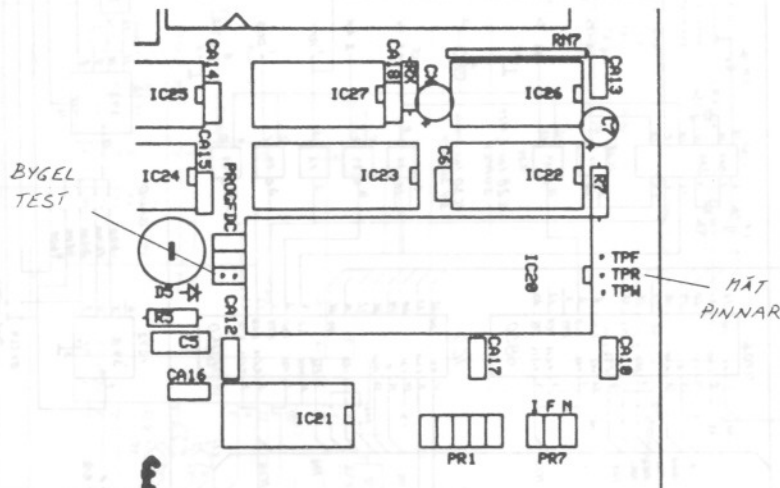
Teknisk specifikation micro

APPENDIX B

Justering av WD2797.

Följande procedur skall utföras för att justera "Write Precompensation" och "Data Separation" för grundversion av MD09.

- Se till att programmerbar packningstäthet är vald (Default)
- Se till att bygel TEST är ute
- Gör RESET på MD09
- Bygla TEST
- Justera WPW för 200 ns pulslängd på mätpinne TPW
- Justera RPW för 500 ns pulslängd på mätpinne TPR
- Justera VCO för 4 μ s periodtid på mätpinne TPF
- Avlägsna bygel TEST
- Justeringen avslutas med att göra RESET på MD09



APPENDIX B

Justering av WD2797.

Write Precompensation

When operating in Double Density mode ($\overline{DDEN} = 0$), the 279X has the capability of providing a user-defined precompensation value for Write Data. An external potentiometer (10K) tied to the WPW signal (Pin 33) allows a setting of 100 to 300 ns from nominal.

Setting the Write precomp value is accomplished by forcing the TEST line (Pin 22) to a Logic 0. A stream of pulses can then be seen on the Write Data (Pin 31) line. Adjust the WPW Potentiometer for the desired pulse width. This adjustment may be performed in-circuit since Write Gate (Pin 30) is inactive while $\overline{TEST} = 0$.

Data Separation

The 279X can operate with either an external data separator or its own internal recovery circuits. The condition of the TEST line (Pin 22) in conjunction with MR (Pin 19) will select internal or external mode.

To program the 279X for external VCO, a MR pulse must be applied while $\overline{TEST} = 0$. A clock equivalent to eight times the data rate (e.g., 4.0 MHz for 8" Double Density) is applied to the VCO input (Pin 28). The feedback reference voltage is available on the Pump output (Pin 23) for external integration to control the VCO. TEST is returned to a Logic 1 for normal operation. Note: To maintain this mode, TEST must be held low whenever MR is applied.

For internal VCO operation, the TEST line must be high during the MR pulse, then set to a Logic 0 for the adjustment procedure.

A 50K Potentiometer tied to the RPW Input (Pin 18) is used to set the internal Read Data pulse for proper phasing. With a scope on Pin 29 (TG43), adjust the RPW pulse for 1/8 of the data rate (250 ns for 8" Double Density). An external variable capacitor of 5-60 pf is tied to the VCO input (Pin 28) for adjusting center frequency. With a frequency counter on Pin 16 (DIRC) adjust the trimmer cap to yield the appropriate Data Rate (500 KHz for 8" Double Density). The $\overline{DDEN}$ line must be low while the 5B line is held high or the adjustment times above will be doubled.

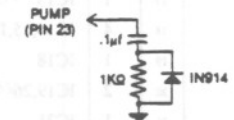
After adjustments have been made, the TEST pin is returned to a Logic 1 and the device is ready for operation. Adjustments may be made in-circuit since the DIRC and TG43 lines may toggle without affecting the drive.

The PUMP output (Pin 23) consists of positive and negative pulses, which their duration is equivalent to the phase difference of Incoming Data vs. VCO frequency. This signal is internally connected to the VCO input, but a Filter is needed to connect these pulses to a slow moving DC voltage.

The internal phase-detector is unsymmetrical for a random distribution of data pulses by a factor of two, in favor of a PUMP UP condition. Therefore, it is desirable to have a PUMP DOWN twice as responsive to prevent run-away during a lock attempt.

A first order lag-lead filter can be used at the PUMP output (Pin 23). This filter controls the instantaneous response of the VCO to bit-shifted data (jitter) as well as the response to normal frequency shift, i.e., the lock-up time. A balance must be accomplished between the two conditions to inhibit over-responsiveness to jitter and to prevent an extremely wide lock-up response, leading to PUMP run-away. The filter affects these two reactions in mutually opposite directions.

The following Filter Circuit is recommended for 8" FM/MFM:



Since 5 1/4" Drives operate at exactly one-half the data rate (250 KHz/sec) the above capacitor should be doubled to .2 or 22uF.

SUMMARY OF ADJUSTMENT PROCEDURE

WRITE PRECOMPENSATION

- 1) Set TEST (Pin 22) to a logic high.
- 2) Strobe MR (Pin 19).
- 3) Set TEST (Pin 22) to a logic low.
- 4) Observe pulse width on WD (Pin 31).
- 5) Adjust WPW (Pin 33) for desired pulse width (Precomp Value).
- 6) Set TEST (Pin 22) to a logic high.

DATA SEPARATOR

- 1) Set TEST (Pin 22) to a logic high.
- 2) Strobe MR (Pin 19). Insure that 5B, and $\overline{DDEN}$ are set properly.
- 3) Set TEST (Pin 22) to a logic low.
- 4) Observe Pulse Width on TG43 (Pin 29).
- 5) Adjust RPW (Pin 18) for 1/8 of the read clock (250ns for 8" DD, 500ns for 5 1/4" DD, etc.).
- 6) Observe Frequency on DIRC (Pin 16).
- 7) Adjust variable capacitor on VCO pin for Data Rate (500 KHz for 8" DD, 250 KHz for 5 1/4" DD, etc.).
- 8) Set TEST (Pin 22) to a logic high.

NOTE: To maintain internal VCO operation, insure that $\overline{TEST} = 1$ whenever a master reset pulse is applied.

APPENDIX C

Komponentlista microf MD09				
Ref	ant	Nr	Typ	
1	1	IC1	MC6809 CPU	
2	1	IC1 †1	MC68B09 CPU	
3	1	IC2	2264 RAM 8k byte Statisk	
4	1	IC2,3 †1	62256 RAM 32k byte Statisk	
5	1	IC4	2764 ROM 8k byte < 300 ns	
6	1	IC4 †1	27128 ROM 16k byte < 300 ns	
7	1	IC5	MC6840 TIMER	
8	1	IC5 †1	MC68B40 TIMER	
9	1	IC6,7	MC6850 ACIA	
10	1	IC6,7 †1	MC68B50 ACIA	
11	2	IC8,9	MC6821 PIA	
12	2	IC8,9 †1	MC68B21 PIA	
13	1	IC20	WD2797 Floppy Controller	
15	2	IC10,11	GAL16V8 < 35 ns	
16	1	IC12	74LS393 Counter	
17	1	IC13	74LS32 OR	
18	4	IC14,15,16,17	74LS245 Octal tranciever	
19	1	IC18	74LS641 Octal tranciever	
20	2	IC19,26	74LS08 AND	
21	1	IC21	74LS02 NOR	
22	1	IC22	74LS123 Monostab multivib	
23	1	IC23	74LS273 Latch	
24	1	IC24	74LS139 2 to 4 decode	
25	1	IC25	7407 Driver	
26	1	IC27	2003 Driver	
27	1	IC28	1488 RS232 driver	
28	1	IC29	1489 RS232 receiver	
29	1	IC28 †2	MAX234 RS232 driver	

- | | |
|--|---------------------------------------|
| †1 För 2MHz variant | †6 Avstörningskondensator |
| †2 För 5V spänningsmatning | †7 Max ant stift angivet |
| †3 PR1-10,K3, BUF, BYCLK, PROGDC, INTR | †8 4 olika storlekar; 2, 3, 5 och 7x2 |
| †4 BY1, TPn | †9 2 olika storlekar; 2 och 3x1 |
| †5 3 st för 5V spänningsmatning | |

APPENDIX C

Komponentlista microf MD09				
Ref	ant	Nr	Typ	
40	1	D5	1N914 Diod	
41	1	PROT	1,5KE6V8 Transientskydd	
42	1	WPW	Pot 10kΩ	
43	1	RPW	Pot 47kΩ	
44	6	RN1,2,3,4,8,9	Res SIL 9 pin 10kΩ	
45	1	RN7	Res SIL 9 pin 150Ω	
46	2	R2,6	Res 10kΩ ¼W	
47	2	R5,7	Res 1kΩ ¼W	
48	1	RX	Res 120kΩ ¼W	
49	1	C5V	Cap E-lyt 330/470µF 5V	
50	2	C+12,-12	Cap Tantal 22µF 16V	
51	2	C8,11 †2	Cap Tantal 10µF 10V	
52	2	C9,10 †2	Cap Tantal 4,7µF 6,3V	
53	2	CX,CRES	Cap Tantal 47µF 5V	
54	1	C5	Cap 0.22µF 5V	
55	1	C7	Cap Tantal 0.22µF 5V	
56	28	CA †6	Cap 47nF	
57	2	C1,4	Cap Keramisk 22pF	
58	2	C1,4 †1	Cap Keramisk 15pF	
59	2	C2,3 †1	Cap Keramisk 3,3pF	
60	1	VCO	Cap Trim 10-60 pF	
61	1	X1	Kristall 4MHz HC18U	
62	1	X1 †1	Kristall 8MHz HC18U	
63	1	F1	Picofuse 1.5A	

- | | |
|--|---------------------------------------|
| †1 För 2MHz variant | †6 Avstörningskondensator |
| †2 För 5V spänningsmatning | †7 Max ant stift angivet |
| †3 PR1-10,K3, BUF, BYCLK, PROGDC, INTR | †8 4 olika storlekar; 2, 3, 5 och 7x2 |
| †4 BY1, TPn | †9 2 olika storlekar; 2 och 3x1 |
| †5 3 st för 5V spänningsmatning | |

APPENDIX C

Komponentlista microff MD09				
Ref	ant	Nr	Typ	
70	2	K1,2	Flatkabeldon rak, kretskorts 26 pol	
71	1	K6	Flatkabeldon rak, kretskorts 34 pol	
72	1	K7	Flatkabeldon rak, kretskorts 40 pol	
73			Flatkabeldon kabel 34 pol	
74	1	K4	Don, D-SUB, vinklad, hona, kretsk. 9pol	
75	1	K5	Don, D-SUB, vinklad, hane, kretsk. 9pol	
77	1		Kabeldon, D-SUB, löd, hane 9 pol	
78	1		Kåpa för ovan	
79	1		Kabeldon, D-SUB, löd, hona 25 pol	
80	1		Kåpa för ovan	
81	9		IC-Sockel, lödning 14 pin	
82	2	†5	IC-Sockel, lödning 16 pin	
83	8		IC-Sockel, lödning 20 pin	
84	2		IC-Sockel, lödning 24 pin	
85	4		IC-Sockel, lödning 28 pin	
86	4		IC-Sockel, lödning 40 pin	
87	1	SUPPLY	Stiftlist, 1-radig 3,96mm delning 1x5	
88	1		Kontakthus 3.96 mm delning 5 pol	
89	5		Kontaktelement för ovan	
90	52*2	†3†7†8	Stiftlist, 2-radig, 2.54mm delning	
91	8*1	†4†7†9	Stiftlist, 1-radig, 2.54mm delning	
92			Kortslutningsbygel, 2,54mm delning	
93	1	SW1	Switch ON/ON	
94	1	SW2	Switch OFF/ON RESET	
95	7		Fot, "snap in" Ø4mm, h 9,6mm	

†1 För 2MHz variant

†2 För 5V spänningsmatning

†3 PR1-10,K3, BUF, BYCLK, PROGDC, INTR

†4 BY1, TPn

†5 3 st för 5V spänningsmatning

†6 Avstörningskondensator

†7 Max ant stift angivet

†8 4 olika storlekar; 2, 3, 5 och 7x2

†9 2 olika storlekar; 2 och 3x1

APPENDIX D

MD09 levereras med en RS232-kabel som kan anslutas till en standard "PC-kabel" (eller terminal). Se nedan.

